

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002108467
 PUBLICATION DATE : 10-04-02

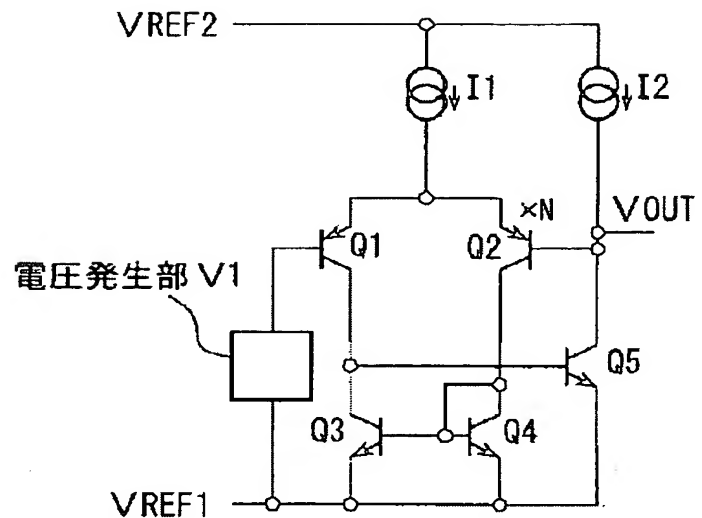
APPLICATION DATE : 29-09-00
 APPLICATION NUMBER : 2000297914

APPLICANT : OLYMPUS OPTICAL CO LTD;

INVENTOR : ONO MAKOTO;

INT.CL. : G05F 3/22 G05F 3/26 H03F 1/30
 H03F 3/45

TITLE : CONSTANT VOLTAGE OUTPUT
 CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To provide a constant voltage output circuit which can be operated with a low power supply voltage and is subjected to temperature compensation.

SOLUTION: This constant voltage output device comprises a voltage generating part V1 having a negative temperature coefficient and a differential amplifier circuit which makes the voltage of the voltage generating part an input and has a positive temperature coefficient that is opposite to the voltage of the voltage generating part. The differential comparator circuit consists of a current source I1, transistors Q1 and Q2 whose emitters are respectively connected to the current source in common and which have different emitter sizes and a current mirror circuit connected to the collectors of the transistors Q1 and Q2 and obtains a constant voltage output voltage which is obtained by adding the voltage of the voltage generating part and voltage generated in the differential amplifier circuit and does not have temperature dependence by adjusting the emitter size ratio of the transistors Q1 and Q2.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-108467

(P2002-108467A)

(43) 公開日 平成14年4月10日 (2002.4.10)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

G 0 5 F 3/22

C 0 5 F 3/22

A 5 H 4 2 0

3/26

3/26

5 J 0 6 6

H 0 3 F 1/30

H 0 3 F 1/30

A 5 J 0 9 0

3/45

3/45

A

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願2000-297914(P2000-297914)

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷 2 丁目43番 2 号

(22) 出願日 平成12年9月29日 (2000.9.29)

(72) 発明者 小野 誠

東京都渋谷区幡ヶ谷 2 丁目43番 2 号 オリ

ンパス光学工業株式会社内

(74) 代理人 10008/273

弁理士 最上 健治

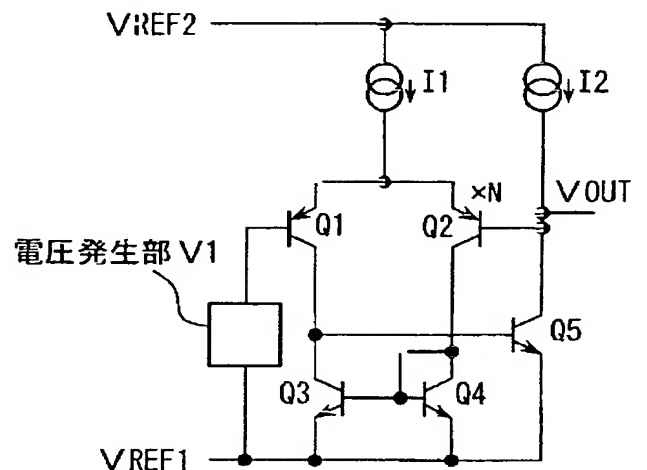
最終頁に続く

(54) 【発明の名称】 定電圧出力回路

(57) 【要約】

【課題】 低電源電圧で動作可能で、且つ温度補償された定電圧出力回路を提供する。

【解決手段】 負の温度係数を有する電圧発生部 V1 と、該電圧発生部の電圧を入力とし、前記電圧発生部の電圧とは逆の正の温度係数を有する電圧を発生する差動増幅回路とで構成する。差動増幅回路は、電流源 I1 と、該電流源に共通に各エミッタを接続したエミッタサイズを異ならせたトランジスタ Q1、Q2 と、該トランジスタ Q1、Q2 のコレクタに接続したカレントミラー回路とで構成し、トランジスタ Q1、Q2 のエミッタサイズ比を調整することにより、電圧発生部の電圧と差動増幅回路で発生する電圧を加算した温度依存性のない定電圧出力電圧が得られる。



【特許請求の範囲】

【請求項1】 第1の温度係数を有する電圧を発生する電圧発生部と、該電圧発生部で発生する電圧を入力電圧とする差動増幅回路とを備え、該差動増幅回路は、前記電圧発生部の発生電圧とは逆の第2の温度係数を有する電圧を発生するように構成されていることを特徴とする定電圧出力回路。

【請求項2】 前記差動増幅回路は、第1の電流源に共通にエミッタを接続した第1のトランジスタ及び第2のトランジスタと、該第1のトランジスタ及び第2のトランジスタの各コレクタに接続した第1のカレントミラー回路とからなり、前記第1及び第2のトランジスタのエミッタサイズ比を異ならせて構成していることを特徴とする請求項1に係る定電圧出力回路。

【請求項3】 前記差動増幅回路は、第1の電流源に共通にエミッタを接続した第1のトランジスタ及び第2のトランジスタと、該第1のトランジスタ及び第2のトランジスタの各コレクタに接続した、第3のトランジスタと第4のトランジスタからなる第1のカレントミラー回路とを備え、該第1のカレントミラー回路を構成する第3のトランジスタと第4のトランジスタの電流比を異なるように設定したことを特徴とする請求項1又は2に係る定電圧出力回路。

【請求項4】 前記電圧発生部は、前記第1のトランジスタのエミッタ・ベース間に接続した第1の抵抗と、前記第1のトランジスタのベースと第1の基準電圧源との間に接続した第2の抵抗とで構成されていることを特徴とする請求項2又は3に係る定電圧出力回路。

【請求項5】 前記電圧発生部は、第2の電流源と、該第2の電流源にエミッタを接続しベースを第1のトランジスタのベースに接続しコレクタを第1の基準電圧源に接続した第5のトランジスタと、該第5のトランジスタのエミッタ・ベース間に接続した第3の抵抗と、前記第1のトランジスタのベースと前記第1の基準電圧源との間に接続した第4の抵抗とで構成されていることを特徴とする請求項2又は3に係る定電圧出力回路。

【請求項6】 前記差動増幅回路は、第1の電流源に共

$$V_{R12} = (R_{12}/R_{11}) \times \Delta V_{BE} \quad \dots \dots \dots (1)$$

ここで、 R_{12} 及び R_{11} は各抵抗 R_{12} 、 R_{11} の抵抗値とする。

【0003】また、トランジスタQ11のベース・エミッタ間の電圧 V_{BEQ11} と、トランジスタQ12のベース・エ

$$V_{BEQ11} = (KT/q) \times \ln(I_{Q11}/I_S) \quad \dots \dots \dots (2)$$

$$V_{BEQ12} = (KT/q) \times \ln(I_{Q12}/I_S) \quad \dots \dots \dots (3)$$

ここで、 T は絶対温度、 I_{Q11} 及び I_{Q12} はトランジスタQ11とQ12の電流とする。

【0004】 $I_{Q11} = I_{Q12} \times N$ と置き、トランジスタ

$$\Delta V_{BE} = V_{BEQ11} - V_{BEQ12} = (KT/q) \times \ln N = VT \times \ln N \quad \dots \dots \dots (4)$$

ここで、 $VT = (KT/q)$ とする。

通にエミッタを接続した第1のトランジスタ及び第2のトランジスタと、該第1のトランジスタ及び第2のトランジスタの各コレクタにそれぞれ接続した第5の抵抗と第6の抵抗と、ベースを共通に接続し各エミッタを前記第5及び第6の抵抗にそれぞれ接続し、各コレクタを第2のカレントミラー回路に接続した第6のトランジスタと第7のトランジスタとからなり、前記第1、第2のトランジスタのエミッタサイズ、及び前記第5、第6の抵抗の抵抗値、及び前記第6、第7のトランジスタのエミッタサイズを、それぞれ又はそれらのいずれかを互いに異なるように設定して構成していることを特徴とする請求項1に係る定電圧出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、定電圧出力回路に関するもので、特に低い電源電圧でも動作し、温度補償もされた定電圧出力回路に関する。

【0002】

【従来の技術】従来、温度補償された定電圧出力回路として、図9に示すようなワイドラ型バンドギャップ基準電圧回路がよく知られている（「アナログ集積回路」グレイ／メイヤ共著、永田稔監訳、培風館、1990年11月30日初版、第274頁～第275頁）。図9に示す定電圧出力回路は、電流源 I_{11} 及びバンドギャップ型定電圧源により構成され、バンドギャップ型定電圧源は、抵抗 R_{11} 、トランジスタQ11、抵抗 R_{12} 、トランジスタQ12、抵抗 R_{13} 、及びトランジスタQ13が図9に示すよう接続されて構成されている。上記電流源 I_{11} はバンドギャップ型定電圧源の駆動電流源として動作し、バンドギャップ型定電圧源は、トランジスタQ11とトランジスタQ12の電流密度比（単位エミッタサイズでの電流比）を N に設定し、トランジスタQ11とQ12のベース・エミッタ間の差電圧 ΔV_{BE} が、抵抗 R_{11} の端子間に発生するようにされている。トランジスタの電流増幅率が大きいものとする、抵抗 R_{12} の端子間に発生する電圧 V_{R12} は、次式（1）で示される。

ミッタ間の電圧 V_{BEQ12} は、ボルツマン定数 K 、トランジスタの飽和電流 I_S 、電子の電荷 q を用いて、次式（2）、（3）のように示される。

Q11とQ12のベース・エミッタ間の差電圧 ΔV_{BE} を求めると、次式（4）で示される。

【0005】よって、バンドギャップ型定電圧源の出力

電圧 V_{OUT} は、次式(5)で示される。

$$V_{OUT} = V_{BEQ13} + V_{R12} = V_{BEQ13} + (R_{12}/R_{11}) \times VT \times \ln N \quad \dots \dots \dots (5)$$

ここで、 V_{BEQ13} はトランジスタQ13のベース・エミッタ間電圧である。

【0006】出力電圧 V_{OUT} を示す(5)式を温度補償に関し考察すると、(5)式の右辺第1項の V_{BEQ13}

は、周知のようにシリコンP-N接合の順方向電圧降下と等価の約 $-2\text{ mV}/^{\circ}\text{C}$ という負の温度係数を有し、右辺第2項の VT は約 $+0.085\text{ mV}/^{\circ}\text{C}$ という正の温度係数を有している。したがって、 R_{11} 、 R_{12} の抵抗比とトランジスタQ11とQ12の電流比を適切な値に設定することによって、出力電圧 V_{OUT} の温度特性を零にすることができる。

【0007】トランジスタのベース・エミッタ間電圧 V_{BE} を 0.7 V 程度とし、温度特性が零になるように各抵抗値を設定すると、出力電圧 V_{OUT} は、およそ 1.25 V 程度となる。

【0008】

【発明が解決しようとする課題】ところで、近年電子機器の小型化にともない、省電力化及び低電圧化の要求が高くなってきている。例えば、小型で出力電圧が 1 V 以下の電池を使用して、温度補償された基準電圧を発生する定電圧回路が必要とされてきている。しかしながら、図9に示す従来の定電圧回路では、温度補償された出力電圧 V_{OUT} は上述したように 1.25 V であるので、上記で要求されるような低電圧動作を満足させることができない。

【0009】このような観点から本発明は、温度補償された定電圧回路における上記問題点を解消するためになされたもので、低電源電圧(電源電圧が 1 V 以下)でも動作可能で、従来と同等に温度補償された定電圧出力回路を提供することを目的とするものである。

【0010】

【課題を解決するための手段】上記問題点を解決するため、請求項1に係る発明の定電圧出力回路は、第1の温度係数を有する電圧を発生する電圧発生部と、該電圧発生部で発生する電圧を入力電圧とする差動増幅回路とを備え、該差動増幅回路は、前記電圧発生部の発生電圧とは逆の第2の温度係数を有する電圧を発生するように構成されていることを特徴とするものである。

【0011】このように構成した定電圧出力回路においては、第1の温度係数を有する電圧発生部の電圧と、該電圧発生部の電圧とは逆の第2の温度係数を有する差動増幅回路の電圧を温度補償するように設定して、それぞれの電圧を加算することによって、温度依存性のない定電圧出力電圧を得ることができる。また、電圧発生部と差動増幅回路で発生する電圧を電源電圧の範囲内で適切に設定することにより、低電圧でも動作させることが可能となる。なお、この請求項1に係る発明に関する実施

の形態としては、図1～図8に示す全ての実施の形態が対応している。

【0012】また請求項2に係る発明は、請求項1に係る定電圧出力回路において、前記差動増幅回路は、第1の電流源に共通にエミッタを接続した第1のトランジスタ及び第2のトランジスタと、該第1のトランジスタ及び第2のトランジスタの各コレクタに接続した第1のカレントミラー回路とからなり、前記第1及び第2のトランジスタのエミッタサイズ比を異ならせて構成していることを特徴とするものである。

【0013】このように構成した定電圧出力回路においては、前記電圧発生部の発生電圧とは逆の温度特性を有する電圧を差動増幅回路において容易に設定することができ、また前記電圧発生部の電圧を差動増幅回路を構成するトランジスタがそれぞれ動作するように適切に設定すれば、低電圧動作も可能となる。なお、この請求項2に係る発明に関する実施の形態としては、図1、2、

3、4、6、7、8に示す実施の形態が対応している。

【0014】また請求項3に係る発明は、請求項1又は2に係る定電圧出力回路において、前記差動増幅回路は、第1の電流源に共通にエミッタを接続した第1のトランジスタ及び第2のトランジスタと、該第1のトランジスタ及び第2のトランジスタの各コレクタに接続した、第3のトランジスタと第4のトランジスタからなる第1のカレントミラー回路とを備え、該第1のカレントミラー回路を構成する第3のトランジスタと第4のトランジスタの電流比を異なるように設定したことを特徴とするものである。

【0015】このように構成した定電圧出力回路においては、請求項2に係る定電圧出力回路と同様に、前記電圧発生部の発生電圧とは逆の温度特性を有する電圧を差動増幅回路において容易に設定することができる。この構成においては、特に、請求項2に係る定電圧出力回路のように前記第1、第2のトランジスタのエミッタサイズ比を大きくすることなく、差動増幅回路で発生する電圧を大きく設定することができる。なお、この請求項3に係る発明に関する実施の形態としては、図4、5、6、7に示す実施の形態が対応している。

【0016】また請求項4に係る発明は、請求項2又は3に係る定電圧出力回路において、前記電圧発生部は、前記第1のトランジスタのエミッタ・ベース間に接続した第1の抵抗と、前記第1のトランジスタのベースと第1の基準電圧源との間に接続した第2の抵抗とで構成されていることを特徴とするものである。

【0017】このように構成した定電圧出力回路においては、前記電圧発生部の電圧を簡単な構成で容易に設定することができる。なお、この請求項4に係る発明に関

する実施の形態としては、図6、8に示す実施の形態が対応している。

【0018】また請求項5に係る発明は、請求項2又は3に係る定電圧出力回路において、前記電圧発生部は、第2の電流源と、該第2の電流源にエミッタを接続しベースを第1のトランジスタのベースに接続しコレクタを第1の基準電圧源に接続した第5のトランジスタと、該第5のトランジスタのエミッタ・ベース間に接続した第3の抵抗と、前記第1のトランジスタのベースと前記第1の基準電圧源との間に接続した第4の抵抗とで構成されていることを特徴とするものである。

【0019】このように構成した定電圧出力回路においては、前記電圧発生部の電圧を簡単な構成で、また前記第1の電流源及び前記差動増幅回路に影響を与えることなく独立して設定することができる。なお、この請求項5に係る発明に関する実施の形態としては、図7に示す実施の形態が対応している。

【0020】また請求項6に係る発明は、請求項1に係る定電圧出力回路において、前記差動増幅回路は、第1の電流源に共通にエミッタを接続した第1のトランジスタ及び第2のトランジスタと、該第1のトランジスタ及び第2のトランジスタの各コレクタにそれぞれ接続した第5の抵抗と第6の抵抗と、ベースを共通に接続し各エミッタを前記第5及び第6の抵抗にそれぞれ接続し、各コレクタを第2のカレントミラー回路に接続した第6のトランジスタと第7のトランジスタとからなり、前記第1、第2のトランジスタのエミッタサイズ、及び前記第5、第6の抵抗の抵抗値、及び前記第6、第7のトランジスタのエミッタサイズを、それぞれ又はそれらのいずれかを互いに異なるように設定して構成していることを特徴とするものである。

【0021】このように構成した定電圧出力回路においては、低電圧で温度依存性のない定電圧出力電圧を、電

$$\begin{aligned} V_{BEQ1} &= V_T \times \ln(I_1 / 2 / I_S) \\ V_{BEQ2} &= V_T \times \ln\{I_1 / 2 / (N \times I_S)\} \\ \Delta V_{BE} &= V_{BEQ1} - V_{BEQ2} = V_T \times \ln N \quad \dots \dots \dots (6) \end{aligned}$$

【0024】出力電圧 V_{OUT} は、次式(7)で示される。

$$V_{OUT} = V_1 + V_T \times \ln N \quad \dots \dots \dots (7)$$

【0025】よって、出力電圧 V_{OUT} は、上式右辺1項の負の温度係数を持つ電圧 V_1 と、右辺2項の正の温度係数を持つ電圧 $V_T \times \ln N$ を加算した電圧であるので、トランジスタQ1、Q2のエミッタサイズ比N(電流密度比)を適切な値に設定すれば、出力電圧 V_{OUT} の温度係数を零とすることができる。

【0026】また、本実施の形態の回路構成においては、トランジスタのコレクタ・エミッタ間飽和電圧 V_{CESAT} を0.1V、トランジスタのベース・エミッタ間電圧 V_{BE} を0.7Vとすると、出力電圧 V_{OUT} を約0.1V～0.2Vに設定すれば、電源電圧 V_{REF2} が1Vで回路動作することが可能となる。

源電圧の範囲内で設定することが可能になる。なお、この請求項6に係る発明に関する実施の形態としては、図8に示す実施の形態が対応している。

【0022】

【発明の実施の形態】次に、実施の形態について説明する。図1は、本発明に係る定電圧出力回路の第1の実施の形態を示す回路構成図である。図1において、Q1、Q2はPNPトランジスタで、該PNPトランジスタQ1、Q2の各エミッタには共通にバイアス電流源I1を接続し、トランジスタQ1、Q2の各コレクタにはカレントミラー回路(第1のカレントミラー回路)を構成するNPNトランジスタQ3、Q4をそれぞれ接続し、トランジスタQ1のコレクタに出力段トランジスタQ5のベースを接続することにより差動増幅回路が構成されている。そして、該差動増幅回路の入力端子(トランジスタQ1のベース)に、負の温度係数を有する電圧 V_1 を発生する電圧発生部V1を、基準電圧源(第1の基準電圧源) V_{REF1} との間に接続して、定電圧出力回路を構成している。なお、図1においてI2は出力段トランジスタQ5のバイアス電流源、 V_{REF2} は電源電圧源(第2の基準電圧源)を示しており、定電圧出力回路の出力端子 V_{OUT} は、トランジスタQ2のベースと電流源I2とトランジスタQ5のコレクタの接続点より取り出されている。

【0023】このように構成した定電圧出力回路において、差動増幅回路を構成しているトランジスタQ1及びQ2のエミッタサイズの比をNとすると、NPNトランジスタQ3とQ4より構成されるカレントミラー回路により、トランジスタQ1とQ2の電流は、等しくなるように動作する。そのため、トランジスタQ1とQ2のベース・エミッタ間電圧の電圧差 ΔV_{BE} は、次式(6)で示される。

【0027】次に、第2の実施の形態について説明する。この実施の形態は、図2に示すように、図1に示した第1の実施の形態の出力端子 V_{OUT} とトランジスタQ2のベース間に抵抗RAを接続し、トランジスタQ2のベースと基準電圧源 V_{REF1} との間に抵抗RBを接続して構成したものである。

【0028】このように、出力端子 V_{OUT} とトランジスタQ2のベース間に抵抗RAを接続し、トランジスタQ2のベースと基準電圧源 V_{REF1} との間に抵抗RBを接続することで、差動増幅回路に電圧利得を持たせることによって、出力端子 V_{OUT} は約0.1V～約電源電圧 V_{REF2} まで設定することが可能となる。

【0029】図3は、本発明に係る定電圧出力回路の第3の実施の形態を示す回路構成図である。この実施の形態は、上述した第1の実施の形態におけるトランジスタの極性をPNP→NPN, NPN→PNPに変えて構成したものである。なお、極性を変えた各トランジスタは対応する符号にダッシュを付して示している。このように構成した定電圧出力回路は、電源電圧 V_{REF2} を基準とする定電圧回路を作ることができる。

【0030】図4は、本発明に係る定電圧出力回路の第

$$\begin{aligned} V_{BEQ1} &= VT \times \ln \{ I_1 \times M / (M+1) / I_S \} \\ V_{BEQ2} &= VT \times \ln \{ I_1 / (M+1) / (N \times I_S) \} \\ \Delta V_{BE} &= V_{BEQ1} - V_{BEQ2} = VT \times \ln (M \times N) \quad \dots \dots \dots (8) \end{aligned}$$

【0031】出力電圧 V_{OUT} は、次式(9)で示され

$$V_{OUT} = V_1 + VT \times \ln (M \times N) \quad \dots \dots \dots (9)$$

【0032】この構成においては、特に第1の実施の形態で説明したトランジスタQ1, Q2のエミッタサイズの比を大きくすることなく、定電圧出力電圧 V_{OUT} を大きく設定することができる。

【0033】図5は、本発明に係る定電圧出力回路の第5の実施の形態を示す回路構成図である。この実施の形態は、第4の実施の形態におけるカレントミラー回路を構成するトランジスタQ3, Q4の電流比を異なるものとするため、トランジスタQ3, Q4の各エミッタと基準電圧源 V_{REF1} との間に抵抗 $R1, R2 (=R1 \times L)$ を、図示のように設けることにより、差動増幅回路を構成しているトランジスタQ1及びQ2の電流比を異なるようにしたものである。作用効果は、図4に示した第4

$$V_{BQ1} = (R_4 / R_3) \times V_{BEQ1} \quad \dots \dots \dots (10)$$

ここで、 R_4, R_3 は各抵抗 $R4, R3$ の抵抗値である。

【0036】上記(10)式に示すように、前記負の温度係数を持つ電圧発生部を、抵抗2つで容易に設定することができる。なお、この第6の実施の形態における電圧発生部V1の構成は、図2～図5に示した第2～第5の各実施の形態における電圧発生部にも適用することができる。

【0037】図7は、本発明に係る定電圧出力回路の第7の実施の形態を示す回路構成図である。この実施の形態は、電流源I3と、該電流源I3にエミッタを接続したPNPトランジスタQ6とを備え、トランジスタQ1のベースとトランジスタQ6のベースを接続し、トランジスタQ6のエミッタ・ベース間に抵抗 $R5$ を接続し、トランジスタQ1のベースと基準電圧源 V_{REF1} との間に抵抗 $R6$ を接続して、電圧発生部V1を構成するものである。

【0038】このように構成した定電圧出力回路においては、負の温度係数を持つ電圧発生部を、電流源I3とトランジスタQ5と抵抗 $R5, R6$ とからなる簡単な構成で、尚且つ電流源I1に影響を与えることなく(すなわち差動増幅回路において発生させる電圧に影響しな

4の実施の形態を示す回路構成図である。この実施の形態は、第1の実施の形態におけるカレントミラー回路を構成するトランジスタQ3, Q4の電流比を異なるようにするため、トランジスタQ3, Q4のエミッタサイズの比をMとすることにより、差動増幅回路を構成しているトランジスタQ1及びQ2の電流比を異なるようにしたものである。これにより、トランジスタQ1とQ2のベース・エミッタ間電圧の電圧差 ΔV_{BE} は、次式(8)で示されるようになる。

る。

の実施の形態と同様である。

【0034】図6は、本発明に係る定電圧出力回路の第6の実施の形態を示す回路構成図である。この実施の形態は、図1に示した第1の実施の形態における電圧発生部V1を、差動増幅回路を構成するトランジスタQ1のエミッタ・ベース間に抵抗 $R3$ を接続し、トランジスタQ1のベースと基準電圧源 V_{REF1} との間に抵抗 $R4$ を接続して、構成したものである。

【0035】このように構成した電圧発生部を備えた定電圧出力回路において、差動増幅回路のトランジスタQ1のベース電圧 V_{BQ1} は、トランジスタQ1のベース・エミッタ間電圧を V_{BEQ1} とすると、次式(10)で示される。

い)、独立して設定することができるという効果が得られる。

【0039】なお、この実施の形態は、図4に示した第4の実施の形態における電圧発生部に対して適用したものを示したが、この実施の形態における電圧発生部V1の構成は、図1～図3, 図5に示した第1～第3及び第5の実施の形態における電圧発生部にも適用することができる。

【0040】図8は、本発明に係る定電圧出力回路の第8の実施の形態を示す回路構成図である。この実施の形態は、図6に示した第6の実施の形態における差動増幅回路が、電流源I1に共通エミッタ接続するトランジスタQ1及びトランジスタQ2と、該トランジスタQ1, Q2の各コレクタに各々接続する抵抗 $R7$ と抵抗 $R8$ と、ベースを共通に接続しエミッタを抵抗 $R7$ と $R8$ にそれぞれ接続し、コレクタをPNPトランジスタQ9, Q10からなるカレントミラー回路に接続したNPNトランジスタQ7とトランジスタQ8とで構成され、トランジスタQ1, Q2の各エミッタ面積、及び抵抗 $R7, R8$ の各抵抗値、及びトランジスタQ7, Q8の各エミッタサイズをそれぞれ異ならせるか、又はそれらのいずれかを異ならせるように構成したものである。な

お、この実施の形態においては、更にトランジスタQ7、Q8のベースに、ベースとコレクタを接続したNPNトランジスタQ11が設けられており、該トランジスタQ11のベースとコレクタには一端を電源電圧源VREF2に接続した電流源I4の他端を接続し、同じくトランジスタQ11のエミッタには一端を基準電圧VREF1に接続した抵抗R9の他端を接続している。またトランジスタQ9のコレクタとトランジスタQ7のコレクタにベースを接続し、エミッタを電源電圧源VREF2に接続し、コレクタを出力端子VOUTとトランジスタQ2のベースと一端を基準電圧VREF1に接続した電流源I5の他端とに接続した、PNPトランジスタQ12を備えている。

【0041】このように構成した定電圧出力回路においては、トランジスタQ1、Q2のコレクタ電圧（抵抗R7、R8の電圧降下）を約0.6V以下に設定することに

$$V_{BQ7,Q8} = I_4 \times R_9 + V_{BEQ11}$$

また、トランジスタQ12は、トランジスタQ1、Q2等からなる差動増幅回路の反転入力端子（トランジスタQ2のベース）に負帰還させる働きと、出力VOUTの出力電流能力を上げる働きをする出力段トランジスタである。

【0043】

【発明の効果】以上実施の形態に基づいて説明したように、本発明に係る定電圧出力回路によれば、出力電圧の温度依存性がほとんどなく、従来のようなバンドギャップ定電圧（約1.25V）より小さい出力電圧を発生させることができ、したがって、電源電圧が1V以下の低電源電圧で動作をする高精度な定電圧出力回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る定電圧出力回路の第1の実施の形態を示す回路構成図である。

【図2】本発明に係る定電圧出力回路の第2の実施の形態を示す回路構成図である。

【図3】本発明に係る定電圧出力回路の第3の実施の形態を示す回路構成図である。

【図4】本発明に係る定電圧出力回路の第4の実施の形態を示す回路構成図である。

よって、トランジスタQ1、Q2のコレクタ・エミッタ間電圧 V_{CESAT} を充分確保でき、そのため電圧発生部V1による電圧 V_1 を数mVから設定可能となるため、定電圧出力電圧 V_{OUT} を約数mVから電源電圧 V_{REF2} まで出力させることが可能になる。

【0042】なお、この実施の形態において、トランジスタQ9及びQ10は、トランジスタQ7及びQ8のコレクタ電流を折り返す働きをするカレントミラー回路を構成している。またトランジスタQ11は、トランジスタQ7、Q8のベース電圧を生成するバイアス回路の一部であり、トランジスタQ7、Q8のベース電圧 $V_{BQ7,Q8}$ は、電流源I4の電流を I_4 、抵抗R9の抵抗値を R_9 、トランジスタQ11のベース・エミッタ間電圧を V_{BEQ11} とすると、次式(11)で表される。

$$\dots\dots\dots (11)$$

【図5】本発明に係る定電圧出力回路の第5の実施の形態を示す回路構成図である。

【図6】本発明に係る定電圧出力回路の第6の実施の形態を示す回路構成図である。

【図7】本発明に係る定電圧出力回路の第7の実施の形態を示す回路構成図である。

【図8】本発明に係る定電圧出力回路の第8の実施の形態を示す回路構成図である。

【図9】従来の定電圧出力回路の構成例を示す回路構成図である。

【符号の説明】

V1 電圧発生部

Q1、Q2、Q6、Q9、Q10、Q12 PNPトランジスタ

Q3、Q4、Q5、Q7、Q8、Q11 NPNトランジスタ

I1、I2、I3、I4、I5 電流源

R1、R2、R3、R4、R5、R6 抵抗

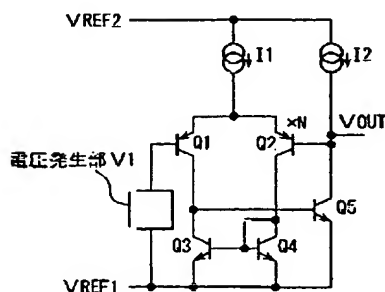
R7、R8、R9、RA、RB 抵抗

VREF1 基準電圧源

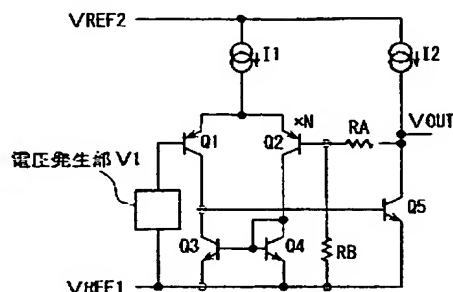
VREF2 電源電圧源

VOUT 出力端子

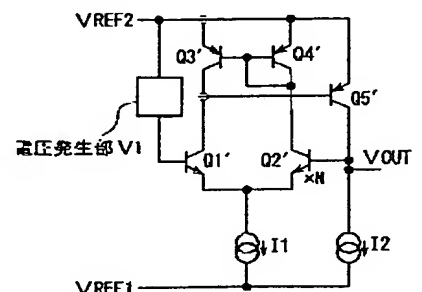
【図1】



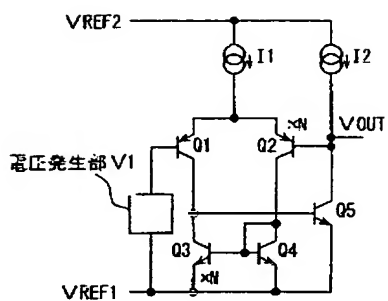
【図2】



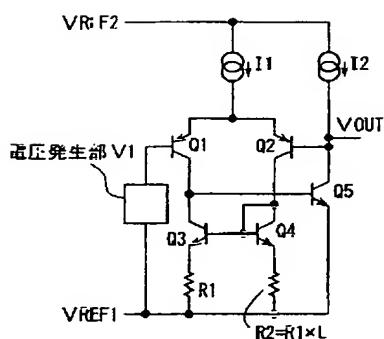
【図3】



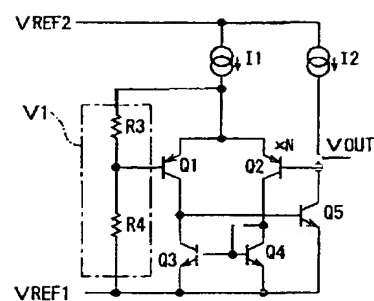
【図4】



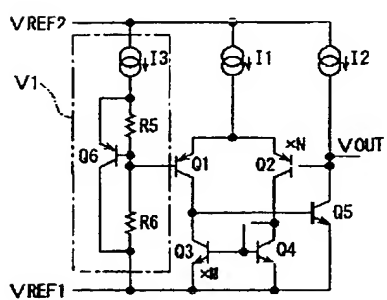
【図5】



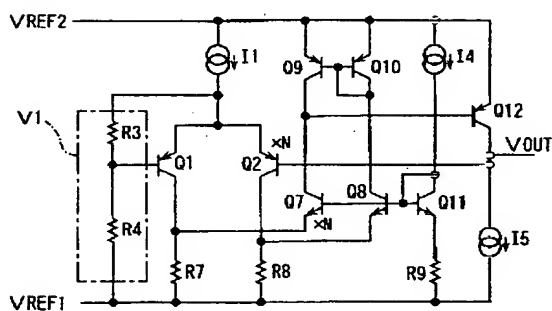
【図6】



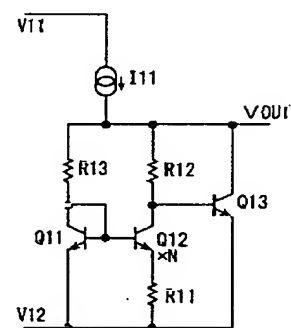
【図7】



【図8】



【図9】



フロントページの続き

F ターム(参考) 5H420 NA17 NB02 NB24 NC02 NC03
NE23 NE28
5J066 AA01 AA12 AA58 CA02 CA37
FA08 FA16 HA02 HA07 HA08
HA25 KA05 KA09 ND01 ND14
ND22 ND23 PD01
5J090 AA01 AA12 AA58 CA02 CA37
CN04 FA08 FA16 FN12 HA02
HA07 HA08 HA25 KA05 KA09